

第5章 FPGA设计和硬件描述语言

第一讲 可编程逻辑器件和FPGA设计

第二讲 HDL概述

第三讲 Verilog语言简介

第四讲 Verilog建模方式

第五讲 Verilog代码实例

(除存储器基本概念外，本章其他内容不作要求)

第一讲 可编程逻辑器件和FPGA设计

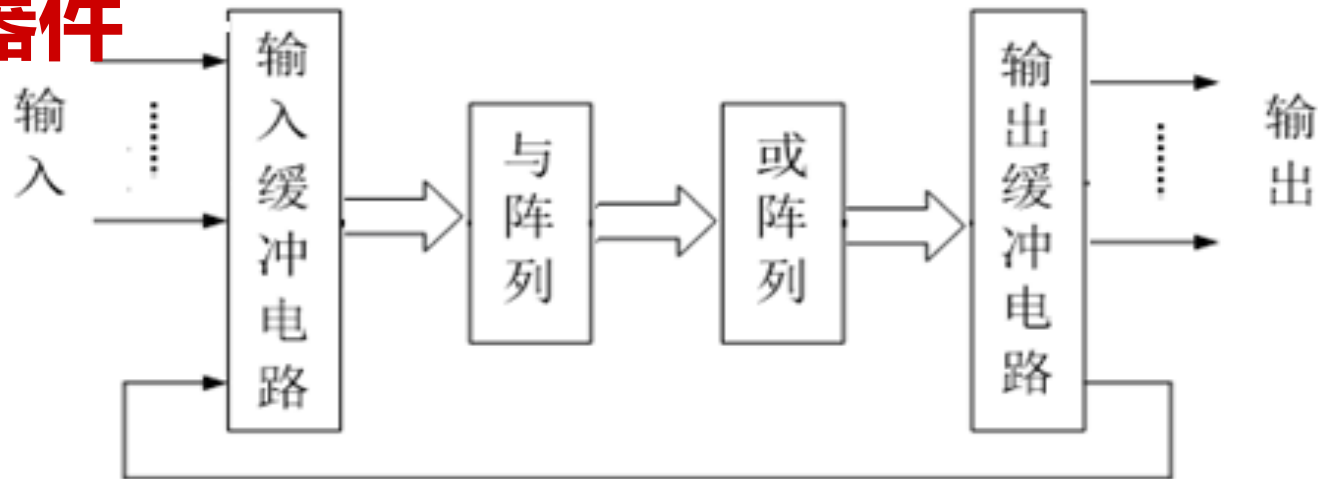
- ◆ 可编程逻辑器件
- ◆ 存储器阵列
- ◆ FPGA设计概述
- ◆ 专用集成电路

1 可编程逻辑器件和FPGA设计

- ◆ 固定逻辑标准芯片（如74系列芯片）曾被广泛使用
- ◆ 但固定逻辑芯片**功能单一**，不能随电路设计的需求而任意改变
- ◆ 固定逻辑芯片逐渐被**可编程逻辑器件（Programmable Logic Device, PLD）**取代

(*) 1.1 PLD器件

◆ PLD结构框图

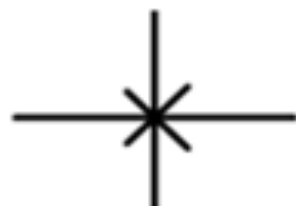


◆ PLD中基本电路符号

互补缓冲器



阵列连线



可编程连接

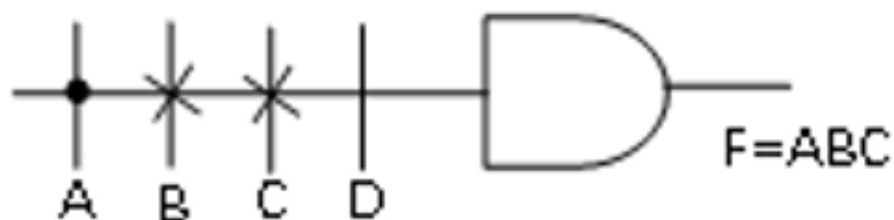


未连接

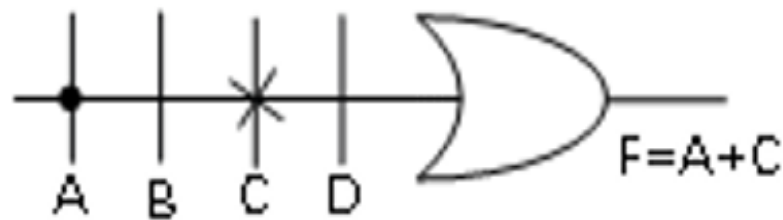


固定连接

与阵列表示 (与门仅示意与阵列)



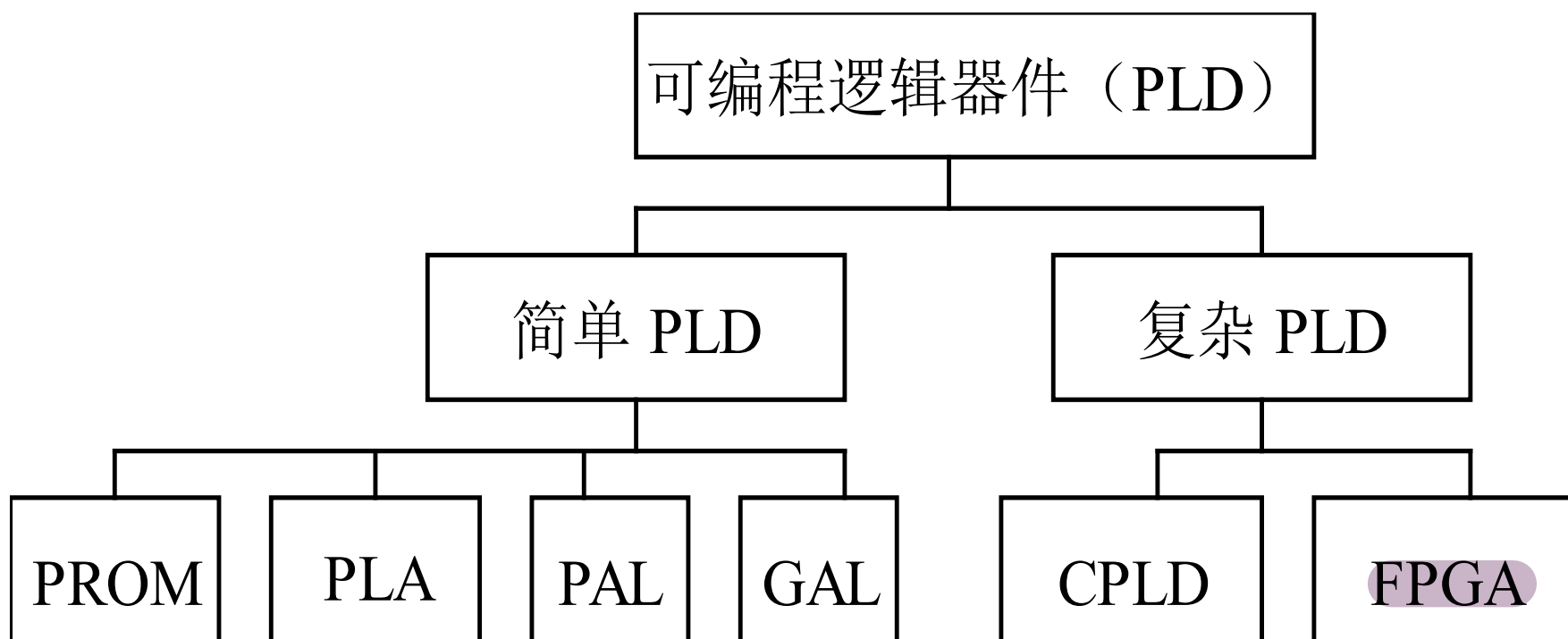
或阵列表示 (或门仅示意或阵列)



(*) 1.1 PLD分类

简单PLD：逻辑门数在500门以下

复杂PLD：集成度高，逻辑门数在500门以上

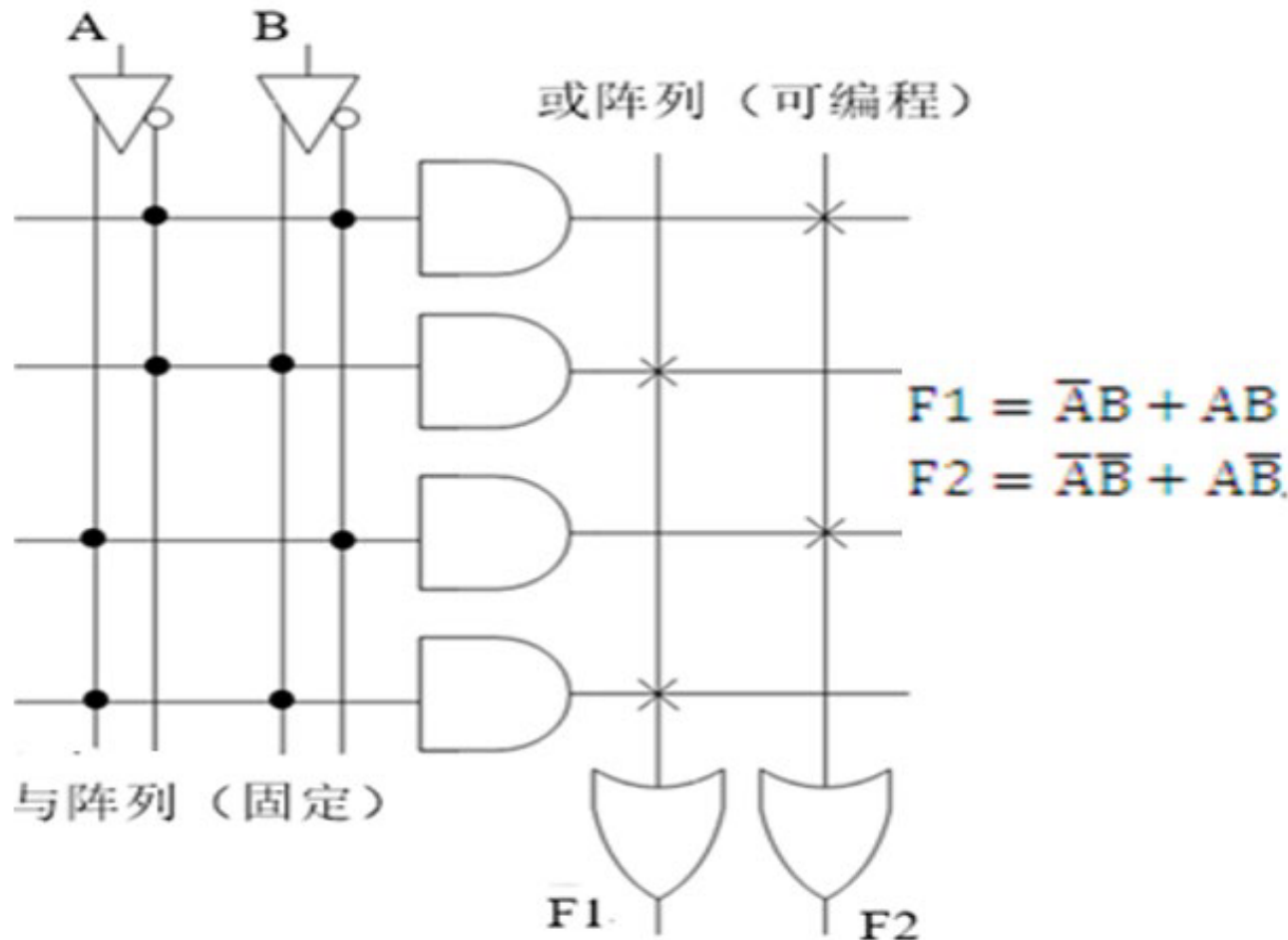


将以乘积项结构方式构成逻辑行为的器件称为CPLD。

将以查表法结构方式构成逻辑行为的器件称为FPGA

(*) 1.1 PLD器件——PROM

- ◆ **可编程只读存储器** (Programmable Read Only Memory, PROM) 是一种**与阵列固定、或阵列可编程**的简单PLD。

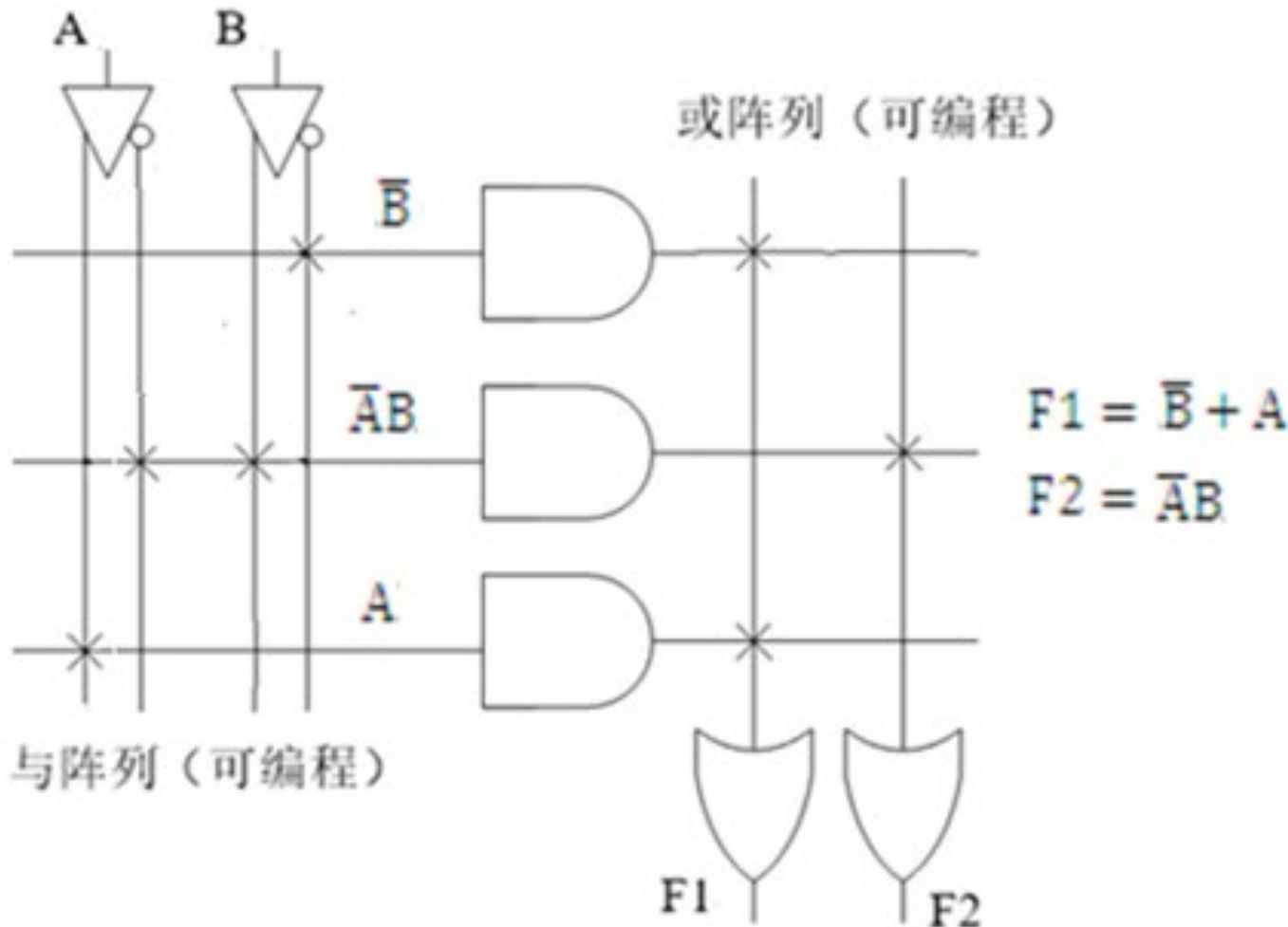


任何逻辑函数转换成**标准与-或表达式**后，可用PROM来实现

与阵列的水平线输出对应**标准与表达式中的标准乘积项**，即最小项。

(*) 1.1 PLD器件——PLA

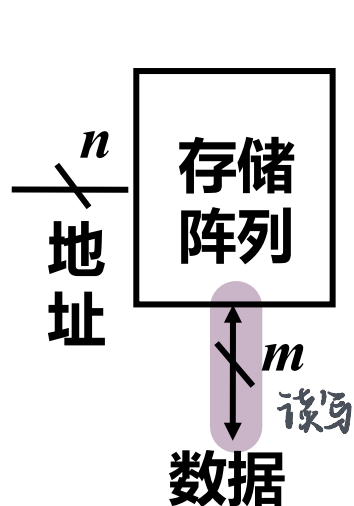
- ◆ 可编程逻辑阵列 (Programmable Logic Array, PLA) 是一种与阵列、或阵列都可编程的逻辑阵列。



无须像PROM那样将逻辑函数转换成标准与-或表达式，而只要化简成最简与-或表达式即可，可节省编程资源。

1.2 存储器阵列

- ◆ 存储器可用来存储数字电路中的数据。
 - 寄存器（由触发器构成）用来存储少量数据，速度快
 - 存储器阵列用来存储大量数据，速度比寄存器慢
- ◆ 在CPLD和FPGA芯片中通常会提供片内存储器阵列
- ◆ 存储器阵列中每位数据对应一个记忆单元（cell），称为存储元

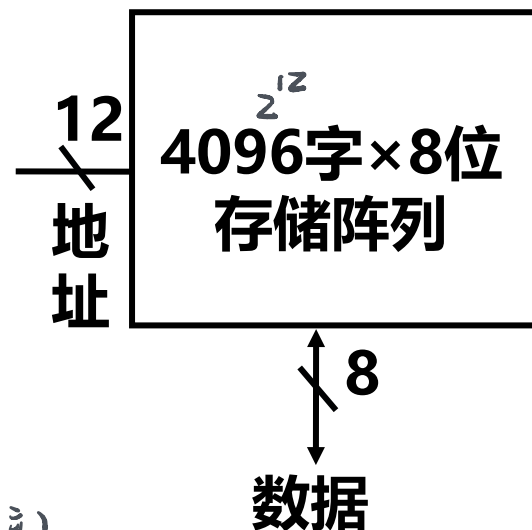


$2^n \times m$ 位
存储阵列

000	0	1	0	0
001	0	0	1	1
010	0	1	0	1
011	1	0	1	1
100	1	1	0	0
101	1	0	1	1
110	0	1	1	0
111	1	0	0	0

地址 数据(4位)

8×4位存储器阵列



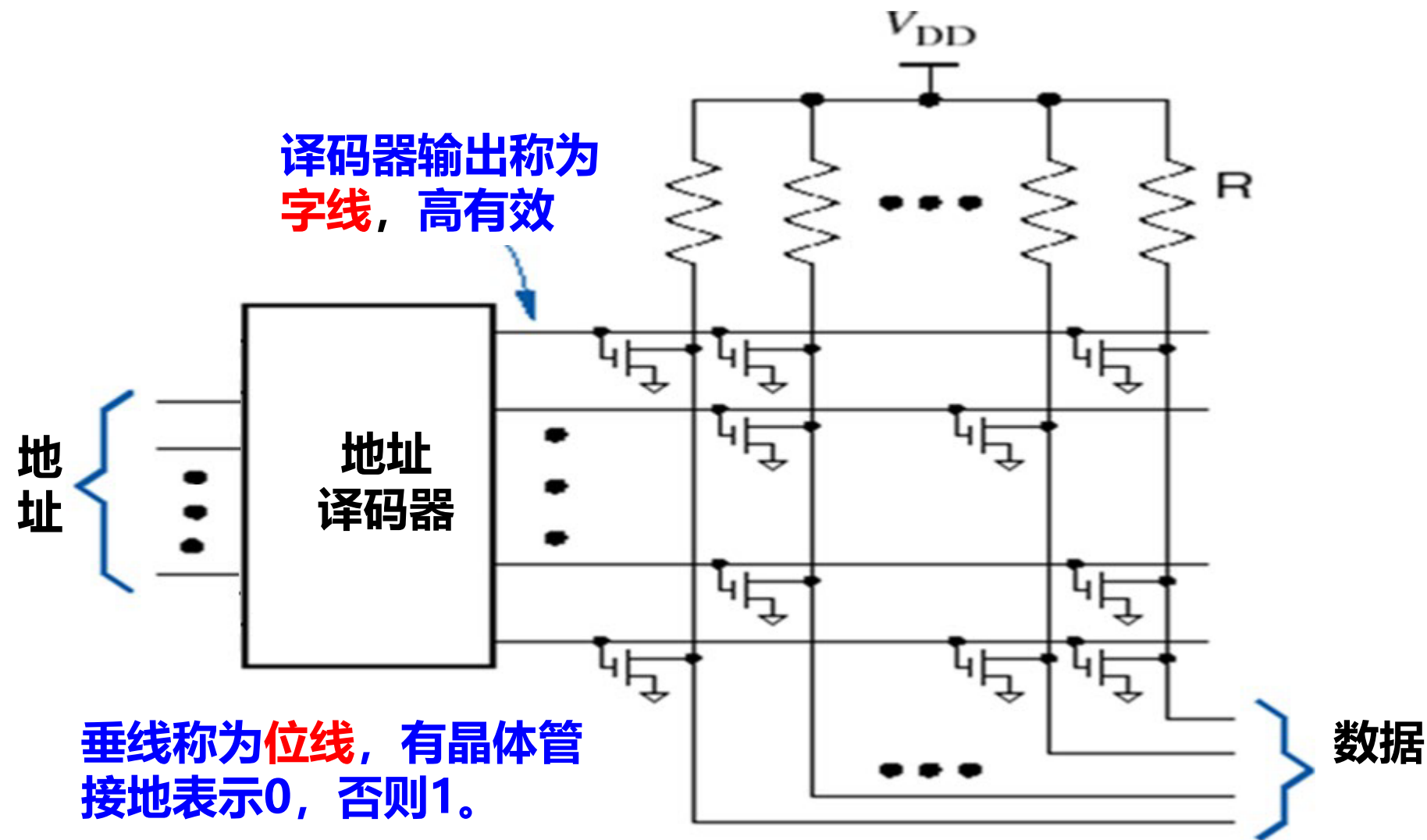
4KB存储器阵列

1.2 存储器阵列——ROM, RAM

- ◆ 按功能可分为：**只读存储器(Read-only Memory, ROM)**和**随机存取存储器(Random-access Memory, RAM)**
 - **ROM属于非易失性存储器**，即使电源断电，ROM中存储的数据也不会消失（例如存放BIOS自检启动程序的地方）。根据工艺的不同，分为：
 - 掩膜只读存储器MROM（信息固定）
 - 一次可编程只读存储器PROM（半成品，可编程）
 - 光擦除可编程只读存储器EPROM（紫外线全部擦除）
 - 电擦除可编程只读存储器EEPROM（E²PROM）
（电擦除个别字，再重新改写）
 - **RAM属于易失性存储器**，一旦电源断电，RAM中存储的数据就消失。
 - 静态RAM（Static RAM, SRAM）
 - 动态RAM（Dynamic RAM, DRAM）

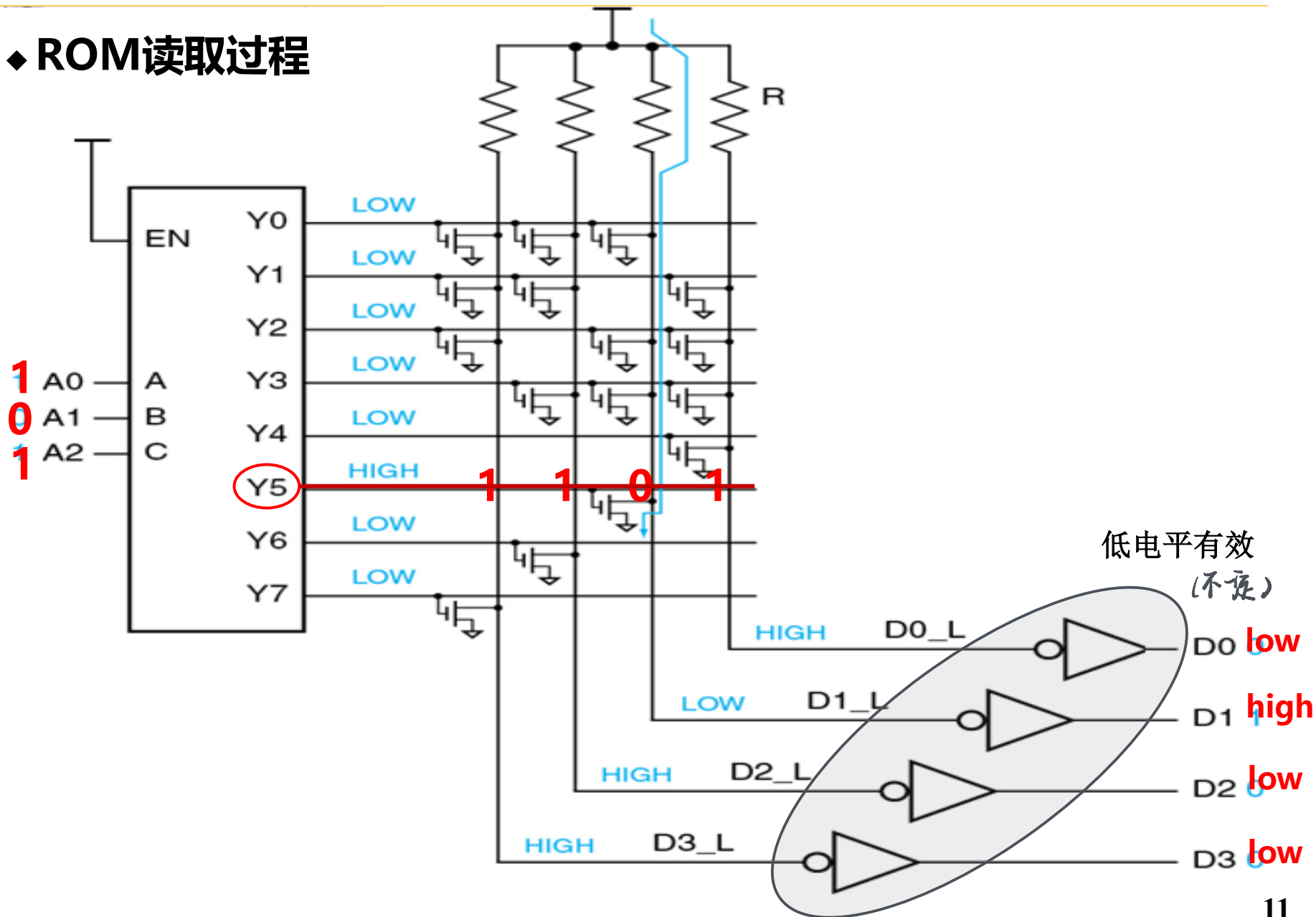
(*) 1.2 ROM

- ◆ ROM存储阵列根据MOS晶体管的有无来区分存储0和1
- ◆ 不同类型的ROM，主要区别在于MOS晶体管的特性不同



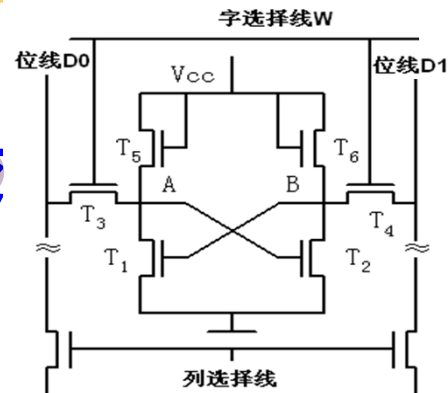
(*) 1.2 ROM读取

◆ ROM读取过程

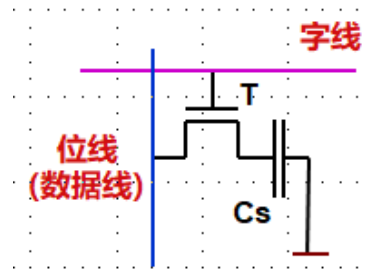


1.2 SRAM 和 DRAM

- ◆ **静态存储器SRAM：6个MOS晶体管**
- ◆ **只要保持电源，存储单元中存放数据就保持不变**
- ◆ **缺点：器件多，价格高、功耗大、集成度低。**
- ◆ **优点：读写速度快、无需刷新。**

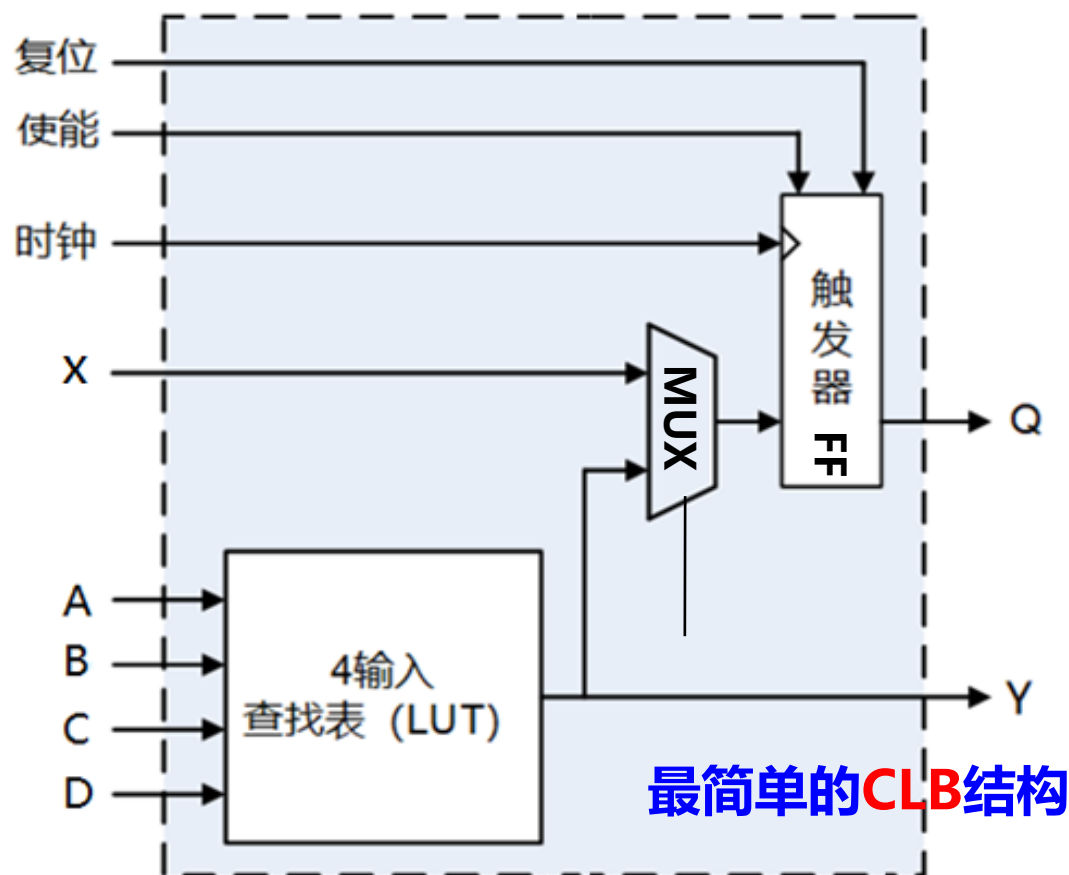


- ◆ **动态存储器DRAM：单MOS管+电容**
- ◆ **数据以电荷的形式保存在电容中，电容会放电**
- ◆ **因此要定期进行刷新（读出后重新写回）。**
- ◆ **优点：电路元件少，功耗小，集成度高，用于构建主存储器**
- ◆ **缺点：速度慢，是破坏性读出（需读后再生），需定时刷新**



1.3 FPGA设计概述

- ◆ **现场可编程门阵列 (Field Programmable Gate Array, FPGA)** 是一种高集成度的复杂可编程逻辑器件, 可通过**EDA (Electronic Design Automation)** 软件对其进行配置和编程, **可反复擦写**。
- ◆ **FPGA内部包含大量可配置逻辑块CLB**, 它由若干**查找表 (Look-Up Table, LUT)** 及**多路选择器、进位链、触发器 FF**等附加逻辑组成。
- ◆ **可对CLB进行不同配置**。
如右图: 可编程配置输出为LUT实现的组合逻辑电路的结果Y;
也可配置为输出时序逻辑电路的结果Q。
- ◆ **LUT多采用SRAM实现**。



通过HDL描述逻辑电路后, EDA工具会自动计算逻辑电路所有可能的结果, 并以真值表形式事先写入RAM中

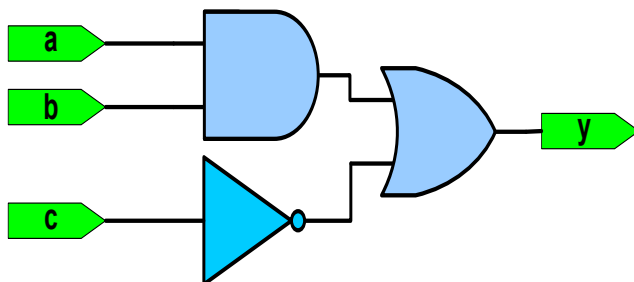
1.3 FPGA设计概述

- ◆ 函数发生器通过**查找表LUT**实现，其中的内容**可编程配置**
 - ◆ LUT存储单元中存放函数输出值，用于实现一个小规模逻辑函数
- 举例：若要实现函数 $f(a,b,c) = ab + \bar{c}$

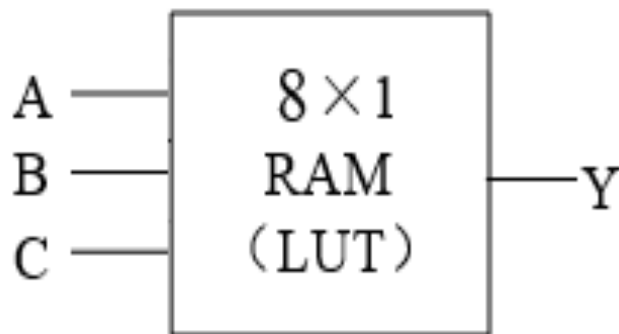
真值表

a	b	c	y
0	0	0	1
0	0	1	0
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	1

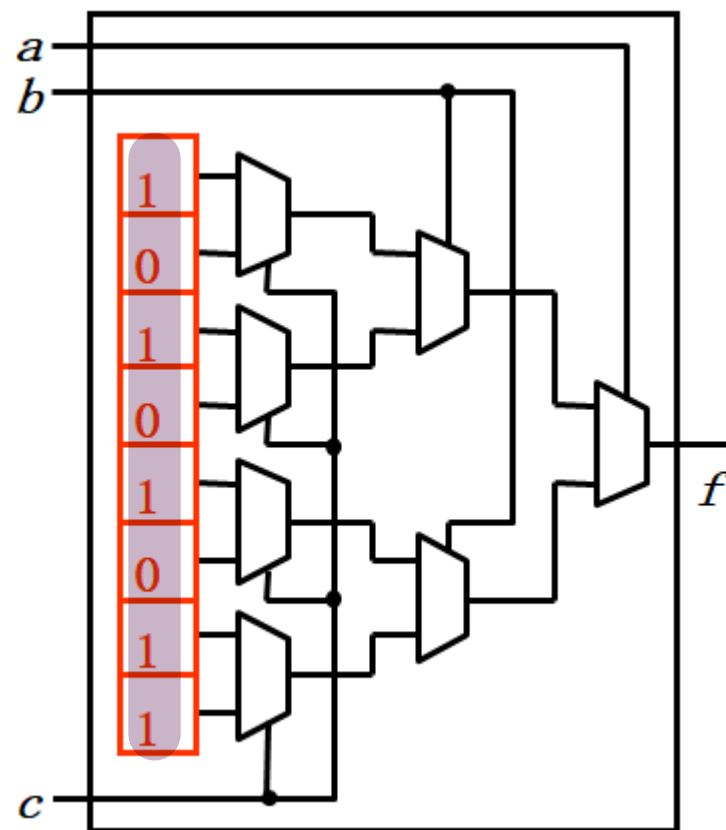
门电路实现



3输入LUT



3输入LUT实现



(*) 1.4 专用集成电路ASIC

- ◆ 专用集成电路 (Application-Specific Integrated Circuit, ASIC) 是一种应特定用户要求和特定电子系统需要而设计、制造的集成电路。
 - 全定制：设计者完成所有设计，速度更快
 - 半定制：使用标准库里的标准逻辑单元（标准单元）
- ◆ FPGA和ASIC目前都是电子设计领域的主流产品。
 - ASIC面向特定用户的需求，具有体积小、功耗低、可靠性高、性能高、保密性高、成本低等优点，一般用于**批量大的专用**产品中。
 - **FPGA可编程特性**使其应用非常灵活，但芯片内部逻辑门的使用率大幅降低，导致功耗高、速度慢、资源冗余且价格昂贵，一般用于**小批量产品设计**中。